

DEVICE AND METHOD FOR RECOVERING CAPACITOR BIAS

Patent number: JP2002092802

Publication date: 2002-03-29

Inventor: MANJREKAR ASHISH T; NODAR JAMES; EMERSON
PAUL M; BLOODWORTH BRYAN E

Applicant: TEXAS INSTRUMENTS INC

Classification:


- international: G11B5/02; G11B5/09

- european: G11B5/012; H03F3/45S3K3A; H03F3/45S3K3B1

Application number: JP20010221829 20010723

Priority number(s): US20000219892P 20000721

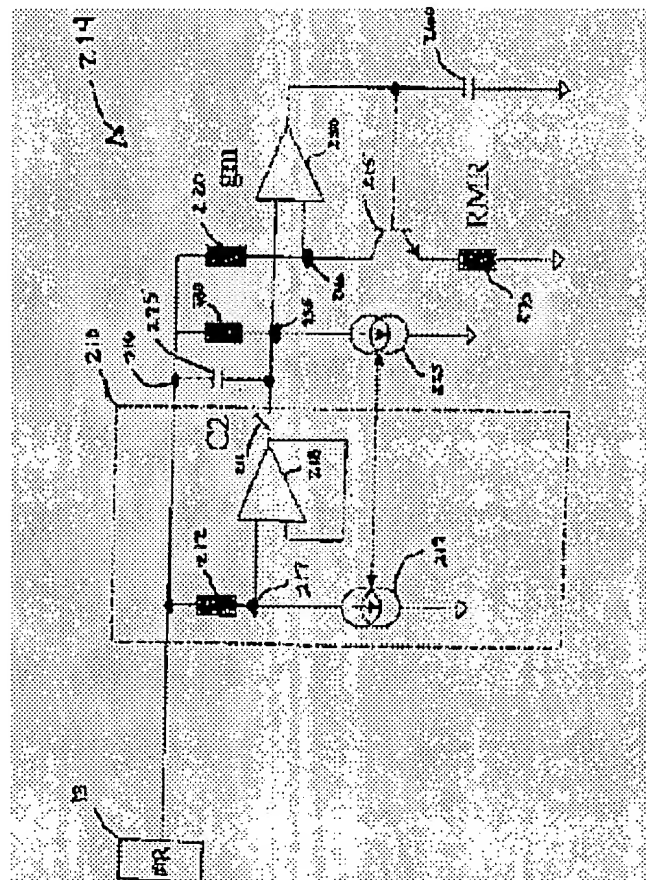
Also published as:

 EP1175003 (A2)

Report a data error here

Abstract of JP2002092802

PROBLEM TO BE SOLVED: To provide a device, a system and a method for improving bias response time for a preamplifier circuit using a noise reduction capacitor. **SOLUTION:** This system uses a quick recovery circuit electrically connected to the capacitive node of a preamplifier circuit. This quick recovery circuit includes a resistance input and a gain amplifier having a controlled current source. The controlled current source corresponds to an adjustment in the controlled current source of a preamplifier, and is electrically connected to the resistance input of the gain amplifier. The gain amplifier is selectively switched, and an output is operatively connected to the capacitive node of the preamplifier.



Data supplied from the esp@cenet database - Worldwide

【特許請求の範囲】

【請求項1】 ノイズ低減キャパシタと基準抵抗器を有する前置増幅器用のクイック・リカバリ回路であって、前記ノイズ低減キャパシタの第1側に結合された第1側を有するクイック・リカバリ抵抗器と、

第1入力と第2入力を有するクイック・リカバリ増幅器と、前記クイック・リカバリ増幅器の前記第1入力に結合された第2側を有する前記クイック・リカバリ抵抗器と、前記ノイズ低減キャパシタの第2側および前記クイック・リカバリ増幅器の前記第2入力に結合された前記クイック・リカバリ増幅器の出力と、前記クイック・リカバリ増幅器の前記第1入力へ結合されたミラーされた電流源を含んでいる前記クイック・リカバリ回路。

【請求項2】 前置増幅器内の容量性ノードのバイアス・リカバリ時間を低減する方法であって、前記容量性ノードをクイック・リカバリ制御ループへ接続して、前記クイック・リカバリ制御ループは、抵抗性入力を有する利得増幅器と制御された電流源を含んでいるステップと前記単利得増幅器の前記抵抗性入力を前記前置増幅器内の基準抵抗器と整合するステップと前記クイック・リカバリ制御ループの前記制御された電流源を、前記前置増幅器の電流源を通じてなされた電流調節に対応するまで調節するステップと前記利得増幅器の一つの電気信号を前記前置増幅器の前記容量性ノードへ出力するステップを含んでいる前記方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、ディスク・ドライブ回路に関し、特に、ハード・ディスク・ドライブ回路をバイアスする装置、システム及び方法に関する。

【0002】

【従来の技術】近年におけるハード・ディスク・ドライブ上の磁気記録におけるいっそう刺激的な発展の一つは、磁気抵抗(MR)センサ又は、ヘッドの開発である。磁気抵抗の現象は、長い間知られてきた。その基本的な効果は、MR物質へ磁界が加えられるとこの物質の抵抗が変化するということである。パーマロイの薄膜片はこの物質の本来の抵抗性の2%と3%の間の磁気抵抗性を示す。蓄積された知識と顕著な磁気抵抗の故に、パーマロイの薄膜は、記録のアプリケーションのためのMRセンサの研究用として選択される物質になった。

【0003】従来の磁気記憶装置は、記録媒体に近接して懸架された磁気トランスデューサまたは、磁気ヘッドを含む。例えば、複数の同心トラックを有する磁気ディスクである。このトランスデューサは、フレキシブルな懸架によって支持される。通常の作業の間じゅう、トランスデューサと記録媒体の間に相対的な動きが供給されて、同時にアクティエーターがトランスデューサを希望のトラックの上へダイナミックに位置決めする。

【0004】記録媒体へのデータの書き込みは、典型的に、ヘッドのコイルへ電流を供給して、これにより隣接する透磁性のコアへ磁界が誘導され、ディスクの間隔を横切って磁気信号をコアが伝送してディスク内の媒体の小さなパターンまたはデジタル・ビットを磁化する。

【0005】ディスク内の情報の読取りは、トランスデューサがディスク内のビットの上を通過する時に、コアの磁界の変化をセンスすることにより遂行される。変化しつつある磁界は、誘導的に結合されたコイル内の電圧または電流を誘導する。情報の読取りは、センサに隣接する磁界の関数として変化する抵抗を有する磁気抵抗ヘッドを使用することにより達成される。これらのヘッドに結合されているのは、読取り前置増幅器などの読取りヘッドであり、記録されたデータを増幅し、また、ノイズを除去する。ディスク・トラックにあらかじめデータを書込み済みであると仮定すると、これに続くイベントのシーケンスがデータをユーザ・ビットへ変換する。第1にヘッド・ギャップの近くを磁気ボールが通過すると、ヘッドのコアが磁化される。第2に、コア内の磁気の変化は、ヘッド・コイルを横切る1つの電気信号を結果として生ずる。この電気信号は引き続き増幅され、一連の他の作業ステップの後に使用可能なデータになって、計算プロセッサへ供給される。

【0006】1970年代の初めに、例えば種々のバイアス方式、バイアス回復時間、ノイズ低減などのMRヘッド製作に関するいくつかの重要な問題が研究された。一層高密度の記憶装置の追求は、ノイズを増加させる結果になった。ノイズ低減キャパシタのような回路の考察をノイズ低減と信号対雑音比の改良に使用し得るが、しかし、ノイズ低減キャパシタは回路のバイアス回復時間を遅くもする。

【0007】現在のディスク記憶回路における一つの問題は、電氣的ノイズに対する極端な感度である。ディスク記憶回路においては信号が比較的小さいので、付加的な電気ノイズがデータの検出を困難にし得る。この問題へ向けて、回路の信号対雑音比を改良するために、キャパシタのようなノイズ低減部品が使用される。しかしながら、これらのキャパシタもまた、バイアス応答時間とディスク記憶装置の速度を遅くするかもしれない。従って、必要なことは、ノイズ低減キャパシタを使用する回路のためにバイアス応答時間を低減させるシステムと方法である。

【0008】

【発明が解決しようとする課題】本発明は、ノイズ低減キャパシタを使用する前置増幅回路のためにバイアス応答時間を減少させる装置、システム及び方法として技術的諸利点を達成する。

【0009】

【課題を解決するための手段】本発明は、ノイズ低減キャパシタの一つのノードへ作用的に接続するために選択

的にスイッチされる一つの出力を有するクイック・リカバリ回路を使用する。このクイック・リカバリ回路は、ノイズ低減キャパシタへ並列に電氣的に接続されていて、クイック・リカバリ抵抗器、増幅器、ミラーされた電流源を含む。クイック・リカバリ抵抗器の値は、前置増幅器回路の基準抵抗器の抵抗に厳密に整合するように選択される。ミラーされた電流源は、前置増幅器回路の電流源においてなされる電流調節に厳密に追従するように配置される。増幅器の出力はフィードバック・ループとして働いて、前置増幅器回路の参照ノードへ電氣的に接続される。

【0010】

【発明の実施の形態】本発明の多数の技術革新的教示を、現在好ましい実施例を特に参照しながら説明する。しかしながら、理解すべきは、このクラスの実施例は本書の技術革新的教示の多くの有利な使用のうちの数少ない例を提示するにすぎないことである。一般に、このアプリケーションの説明でなされる言明は、発明の種々の請求項のいずれかの範囲をも必ずしも限定するものではない。その上、ある言明は、いくつかの発明の特徴に適用されるが、他のものには適用されない。

【0011】さて、図面の図1を特に参照すると、先行技術のディスク・ドライブ大容量記憶装置システム10の一例が図示されている。ディスク記憶装置システム10は、ディスク・アセンブリ12、読み書きヘッド・アセンブリ13、前置増幅器14及び他の回路15を含む。ディスク・アセンブリ12は、磁気プラター上の磁気トランジスタとして表現されるデータを記憶するために使用される多数の回転プラターを含む。読み書きヘッド・アセンブリ13は、磁気プラターの各面にデータを記憶し、そこから検索するために使用される。読み書きヘッド・アセンブリ13は磁気抵抗(MR)ヘッドのような、いずれかの利用可能なタイプの読み書きヘッドを含む。前置増幅器14は、ディスク・アセンブリ12の読み書きヘッド・アセンブリ13と他の回路の間のインターフェイスとして働き、必要に応じて波形データ信号へ増幅を供給する。

【0012】読取り作業の間、前置増幅器14を通じて読み書きヘッド・アセンブリ13からアナログ・データ信号が受信される。前置増幅器回路は典型的に多数のMRヘッドを収容するように設計される。他のMRヘッドはカスコード型構成に配置される。明瞭にするためにカスコード・ステージおよび他のヘッド入力ステージは省略されている。多重MRヘッド配列により、回路の共通部分は動作中またはバイアスされたMRヘッドのみを読み取るように多重化されている。データを読取り中のMRヘッドについて、ヘッドが使用されていない間は典型的にバイアスが遮断され、これにより電子の移動についての長さが増加した電力の消費が低減する。したがって読取り作業の開始にあたって、信頼できるデータが認

識できる以前に、選択されたMRヘッドが最初に適切にバイアスされなければならない。こうして適切なバイアスに必要な時間を減少させることは、作業の効率を増加させる。

【0013】さて図2を参照すると、一般に214で示される前置増幅器回路が図示され、これは本発明によるクイック・リカバリ回路210を含む。前置増幅器回路はエミッタ、コレクタ、ベースを有すバイポーラ・トランジスタ215を含み、このコレクタは信号抵抗器220を介して磁気抵抗ヘッド13へ接続され、エミッタ抵抗器RMR270として効果的な抵抗を有する。RMR270は一般に25オームないし65オームの範囲にある。電流源すなわち電流デジタル・アナログ変換機225は基準抵抗器230へ直列に接続され、基準抵抗器230は信号抵抗器220へ並列に接続されている。増幅器250は基準ノード235と信号ノード240上の電圧の比較により一つの電気信号を生成し、信号ノード240へ増幅器250により一つの電気信号が出力されて、キャパシタ260上に対応する電荷が生成して、キャパシタ260はトランジスタ215をバイアスする。キャパシタ260のキャパシタンスは一般に2ナノファラッドないし4ナノファラッドである。

【0014】電流源225は、磁気抵抗ヘッドすなわちRMR270への一連の素子を通じて反射されるバイアス電流と電流の流れを供給する。電流源225は約2ミリアンペアないし10ミリアンペアを供給するように設計される。しかしながら結果として生ずる熱と過剰な電力消費の故に、信号抵抗器を通じて大電流を流すことは望ましくない。したがって基準抵抗器230と信号抵抗器220の値は、信号抵抗器220を通る電流が電流源225と抵抗器230の電流の一部分に過ぎないように比率を有するように選択される。たとえば基準抵抗器230は約8400オームにセットされ、信号抵抗器220は約420オームにセットされ得て(20:1比率)、これにより信号抵抗器220を通る電流を電流源225の電流の約20分の1に低減できる。その他の抵抗値もまた選択されて、同様に信号抵抗器220を通る信号を低減させることができる。

【0015】電子情報の伝送と記憶における重要な事柄はノイズである。ディスク記憶装置の場合、検索されたデータに対応して生成される信号が比較的小さいので、付加的なノイズがデータの検出を困難にしたりまたは受け入れがたいエラーを結果する。業界で一般に認められている測定基準は信号対雑音比率である。信号対雑音比率が高ければ高いほどより堅牢なドライブを形成する。高密度記憶装置の追求はノイズの増加とより低い信号対雑音比率を結果してきた。ノイズを低減して信号対雑音比率を改良するために、ノイズ低減キャパシタのような回路の考察を使用し得る。増幅器214内の電氣的ノイズを低減するために、基準抵抗器230に並列にキャパ

シタ(C2)275が接続される。たとえばメリットある良好なノイズ低減キャパシタは約400ピコファラッドである。C2 275が回路内の電氣的のノイズ低減させるが、それはまた回路214のバイアス応答を遅くする。バイアス応答が遅ければ遅いほど磁気抵抗ヘッドのバイアスが遅くなって、信頼できるデータを収集できる以前の周期が伸びる。

【0016】本発明によれば、クイック・リカバリ回路210が前置増幅器214の中へ挿入される。クイック・リカバリ回路210は、ノード216へ接続される第1側と、ノード217で単一利得増幅器218の入力へ接続される第2側付きのクイック・リカバリ抵抗212を含む。クイック・リカバリ抵抗212は、基準抵抗器230の抵抗に精密に整合する抵抗を有するように選択される。単一利得増幅器218の出力は基準ノード235へ電氣的に接続され、またフィードバック・ループとして単一利得増幅器218への接続する。好ましい実施例において、クイック・リカバリ回路210はまた電氣的スイッチ211を含む。他の実施例において、スイッチ211は機械的に作用できる。スイッチ211を介して、クイック・リカバリ回路210は前置増幅器回路へ選択的に結合して、作用的に接続できる。

【0017】クイック・リカバリ回路210はまた、電流源219すなわちノード217へ電氣的に接続された電流デジタル・アナログ(DAC)装置を含む。クイック・リカバリ回路210の電流源219は、前置増幅器回路の電流源225の出力をミラーするように設計されている。こうして各電流源の電流値は、各調節に際しての等価な量によって一斉に増加または減少する。もう一つの実施例においては複数の電流源を単一の電流源へ組合せできる。有利には、ミラーされた電流源219を通じて電流が増加または減少するときに、ノード217での電圧が遅延なしに対応して変化する。この電圧の遅延なしの変化は単一利得増幅器218へ入力されて、キャパシタC2への充電電流を増加することによりバイアス応答を減少させてノード235を一層敏速に充電する。

【0018】さて図3を参照すると本発明の諸利点が理解されるが、図3はバイアス電流が調節または変更されたときの電圧エクスカッションを図示する。第1電圧応答310はクイック・リカバリ回路210なしの前記増幅器回路内で、電流が約2ミリアンペアから約8.2ミリアンペアへ切替えられた時のバイアス応答を図示し、第2電圧応答320はクイック・リカバリ回路210を使用するバイアス応答を図示する。t1で示す約20マイクロ秒のマークにおいて、電流調節が行なわれる。第1電圧応答310は、最初に0.8ボルトを越える電圧へスパイクして、時間と共に徐々に減少して、時間t2で示す0ボルト付近の最終回復点すなわち確立点に至る。この電圧エクスカッションの周期の間じゅうは記憶装置12からデータを集めるためにMRヘッド13を信

頼して使用できないので、データ收拾が始まる以前に回路は時間t2において確立できなければならない。

【0019】有利には、クイック・リカバリ回路210を使用して、第2電圧応答320もまた0.8ボルトを超える初期電圧スパイクを示すが、しかし単一利得増幅器218により供給される電流増加により、0ボルトへの確立がほとんど即座になる。こうしてMRヘッド13は、一層敏速に記憶装置からデータを収集するために使用できる。その上、より大きなまたは拡張された電圧エクスカッションは作業装置の電力消費と発熱を増大させるので、クイック・リカバリ回路210の使用は電力消費コストの減少および/または装置の運転寿命増大をもたらす。

【0020】さて図4を参照すると、MRヘッド13を通じての電流応答を描写するタイミング・チャートが図示されている。最初に、電流源225を通じて電流は約5ミリアンペアから約2.1ミリアンペアへ減少する。第1電流応答410はクイック・リカバリ回路210なしの電流応答を図示し、第2電流応答420はクイック・リカバリ回路210を使用した電流応答を図示する。第1電流応答410は、電流調節が行なわれた後に約13マイクロ秒を要して徐々に減少して2.1ミリアンペアのターゲットに至って確立することを示す。確立するための時間は目標の電流レベルの約95%に達するのに要する時間として選ばれる。クイック・リカバリ回路210の追加により、第2電流応答420は2.1ミリアンペアの目標への急速な減少を示し、電流調節後に確立まで約2ないし3マイクロ秒かかるだけである。こうして約10マイクロ秒の応答の改良があり、回復時間の約80%の減少である。

【0021】その後、電流源は約8.4ミリアンペアの目標へ増加されて、再び第1電流応答410は新しい目標電流へ応答するのに約13マイクロ秒を要する。クイック・リカバリ回路210の追加により第2電流応答420は、約2ないし3マイクロ秒の応答時間により8.4ミリアンペアへの急速な増加を示す。この敏速な回復はC2 275が一層敏速に応答して電流源225内の諸変化を制御することを可能にし、こうして電流調節後の確立への時間を減少させる。クイック・リカバリ回路210の追加により、データ記憶媒体から信頼できるデータを一層敏速に検索するために、MRヘッド13を使用できる。

【0022】本発明の装置、システムおよび方法の好ましい実施例を添付図面と前記の詳細な説明に例示してきたが、理解すべきは開示された実施例に本発明が限定されるのではなく、かえって多数の再配置、修正、および置換えが前記の特許請求の範囲により提示され、また定義される本発明の精神から離れることなく可能であることである。

【0023】以上の説明に関して更に以下の項を開示す

る。

【0024】(1) ノイズ低減キャパシタと基準抵抗器を有する前置増幅器用のクイック・リカバリ回路であって、前記ノイズ低減キャパシタの第1側に結合された第1側を有するクイック・リカバリ抵抗器と、第1入力と第2入力を有するクイック・リカバリ増幅器と、前記クイック・リカバリ増幅器の前記第1入力に結合された第2側を有する前記クイック・リカバリ抵抗器と、前記ノイズ低減キャパシタの第2側および前記クイック・リカバリ増幅器の前記第2入力に結合された前記クイック・リカバリ増幅器の出力と、前記クイック・リカバリ増幅器の前記第1入力へ結合されたミラーされた電流源を含んでいる前記クイック・リカバリ回路。

【0025】(2) 前記クイック・リカバリ回路を、前記前置増幅器へ選択的に結合するために、前記前置増幅器へ作用的に接続されたスイッチをさらに含む第1項記載の前記クイック・リカバリ回路

【0026】(3) 前記クイック・リカバリ基準抵抗器は、前記前置増幅器基準抵抗器の抵抗の値に等しい抵抗値へセットされる第1項記載のクイック・リカバリ回路。

【0027】(4) 前記クイック・リカバリ回路は、前記ノイズ低減キャパシタに並列に電気的に接続されている第1項記載のクイック・リカバリ回路。

【0028】(5) 前記ミラーされた電流源が電流DACである第1項記載のクイック・リカバリ回路。

【0029】(6) 前記前置増幅器はさらに一つの電流源を有し、前記ミラーされた電流源は、前記前置増幅器電流源の出力に等しくセットされている第1項記載のクイック・リカバリ回路。

【0030】(7) 前記前置増幅器電流源及び、前記ミラーされた電流源が一つの電流DACにより制御されている第6項記載のクイック・リカバリ回路。

【0031】(8) 前記ミラーされた電流源が調節可能である第1項記載のクイック・リカバリ回路。

【0032】(9) 前置増幅器内の容量性ノードのバイアス・リカバリ時間を低減する方法であって、前記容量性ノードをクイック・リカバリ制御ループへ接続して、前記クイック・リカバリ制御ループは、抵抗性入力を有する利得増幅器と制御された電流源を含んでいるステップと前記単利得増幅器の前記抵抗性入力を前記前置増幅器内の基準抵抗器と整合するステップと前記クイック・リカバリ制御ループの前記制御された電流源を、前記前置増幅器の電流源を通じてなされた電流調節に対応するまで調節するステップと前記利得増幅器の一つの電気信号を前記前置増幅器の前記容量性ノードへ出力するステップを含んでいる前記方法。

【0033】(10) 前記クイック・リカバリ制御ループを前記容量性ノードのキャパシタに並列に電気的に接続する行為を更に含んでいる第9項記載の方法。

【0034】(11) 前記クイック・リカバリ制御ループの前記制御された電流源が電流DACを含んでいる第9項記載の方法。

【0035】(12) 前記クイック・リカバリ制御ループの前記制御された電流源と前記前置増幅器の電流電流を電流DACにより制御する行為を含んでいる第9項記載の方法。

【0036】(13) 前記接続する行為は電気的スイッチを通じて操作的に選択できる第9項記載の方法。

【0037】(14) 前記利得増幅器は単利得増幅器である第9項記載の方法。

【0038】(15) 制御された電源電圧を有する前置増幅器内の容量性ノードのバイアス・リカバリ時間を低減するシステムであって、抵抗入力を有する単利得増幅器と、前記単利得増幅器の抵抗入力へ制御された電流を供給する電流回路であって、前記前置増幅器の前記制御された電流源の調節に前記制御された電流が対応する前記電流回路を含んでいる前記システム。

【0039】(16) 前記単利得増幅器の出力を選択的にスイッチして、前記前置増幅器の前記容量性ノードへ前記出力を操作的に接続する第15項記載のシステム。

【0040】(17) 前記抵抗入力の抵抗を前記前置増幅器の基準抵抗器の抵抗へ整合する整合回路を含んでいる第15項記載のシステム。

【0041】(18) 制御された電流を供給する前記電流回路が電流DACを含んでいる第15項記載のシステム。

【0042】(19) 前記制御電流を供給する前記電流回路と前記前置増幅器の前記制御された電流源が電流DACを含んでいる第15項記載のシステム。

【0043】(20) 前記電流回路が電流モニタを含んでいる第15項記載のシステム。

【0044】(21) 本発明は、ノイズ低減キャパシタを使用する前置増幅器回路のためのバイアス応答時間の改良の装置、システム及び方法を提供する。本システムは、前置増幅器回路の容量性ノードに電気的に接続されたクイック・リカバリ回路を使用する。このクイック・リカバリ回路は抵抗入力と制御された電流源付きの利得増幅器を含んでいる。この制御された電流源は前置増幅器の制御された電流源における調整に対応し、利得増幅器の抵抗入力に電気的に接続されている。この利得増幅器は選択的にスイッチされて、前置増幅器回路の容量性ノードへ出力を操作的に接続する。

【図面の簡単な説明】

本発明の一層完全な理解のために、添付図面とともに本発明を詳細に説明して言及してきた。

【図1】先行技術のディスク・ドライブ大容量記憶装置システムを図示する。

【図2】本発明によるクイック・リカバリ回路を含む前

置増幅器回路を図示する。

【図3】電流調節から結果する電圧エクスカージョンを描写するタイミングチャートを図示する。

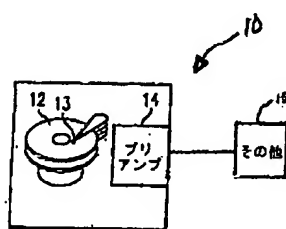
【図4】電流調節から結果する電流応答を描写するタイミングチャートを図示する。

【符号の説明】

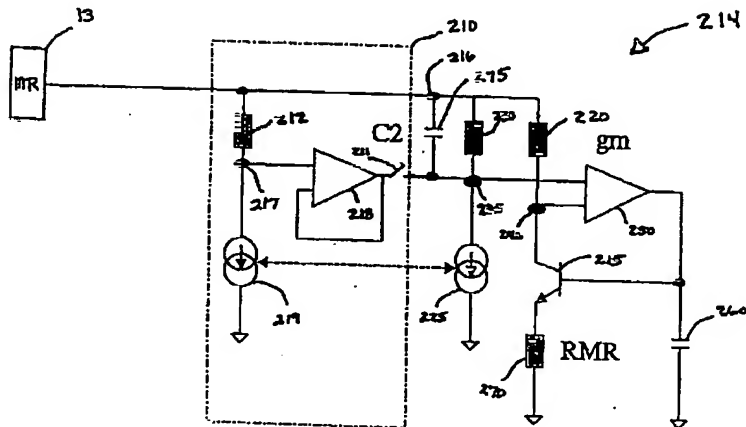
- 10 ディスク・ドライブ大容量記憶装置システム
- 12 ディスク・アセンブリ
- 13 読み書きヘッド・アセンブリ、磁気抵抗ヘッド
- 14 前置増幅器
- 15 その他の回路
- 210 クイック・リカバリ回路
- 212 クイック・リカバリ抵抗器

- 214 前置増幅器
- 215 バイポーラ・トランジスタ
- 218 単一利得増幅器
- 219 電流デジタル・アナログ変換器
- 220 信号抵抗器
- 225 デジタル・アナログ変換器、電流源
- 230 基準抵抗器
- 235 基準ノード
- 240 信号ノード
- 250 増幅器
- 260 キャパシタ
- 270 RMR、磁気抵抗ヘッド
- 275 キャパシタ

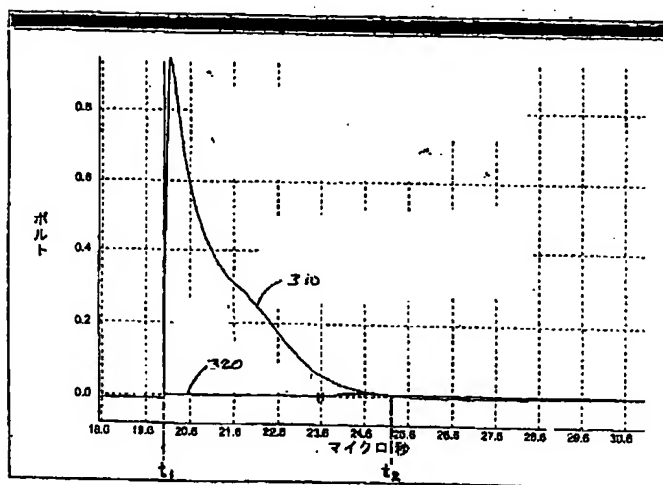
【図1】



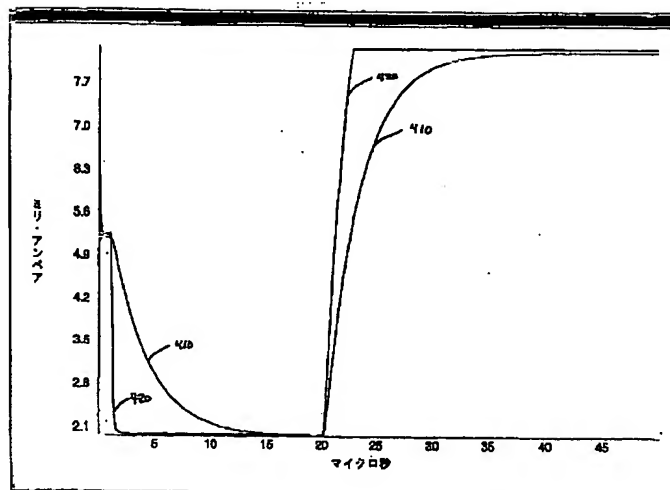
【図2】



【図3】



【図4】



フロントページの続き

(72)発明者 ポール エム、エメルソン
アメリカ合衆国 テキサス、ムルフィ、
ローリング オーク ドライブ 331

(72)発明者 ブライアン イー、ブラッドワース
アメリカ合衆国 テキサス、アービン、
ウェリントン ポイント ドライブ
8655

Fターム(参考) 5D031 AA04 DD11 HH11
5D091 AA10 DD04 DD07 DD09 HH08